

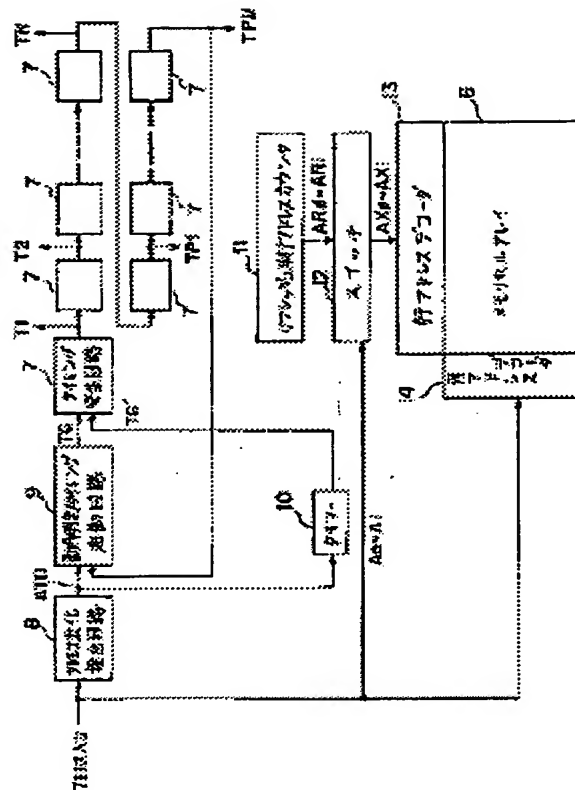
DYNAMIC SEMICONDUCTOR MEMORY

Patent number:	JP6036557
Publication date:	1994-02-10
Inventor:	MURAKAMI YUKICHI
Applicant:	SHARP CORP
Classification:	
- International:	G11C11/403
- european:	
Application number:	JP19920190529 19920717
Priority number(s):	

Abstract of JP6036557

PURPOSE:To obtain a dynamic semiconductor memory high in the degree of integration and operating with a very simple input waveform.

CONSTITUTION:Timing generation circuits 7,... are started by an operation judgment/timing start circuit 9 at timing when an address transit signal is received when write, read, refresh operation or bit line precharge operation are not performed when the address transit signal is received. Thus, a series of operation of write or read to a memory cell corresponding to an address after transition, bit line precharge, refresh and bit line precharge are performed. On the other hand, the timing generation circuits 7,... are started by the operation judgment/timing start circuit 9 at the point of time when a series of the operation are completed when write, read, refresh operation or bit line precharge operation are performed when the address transit signal is received.



Data supplied from the *esp@cenet* database - Worldwide

(11)特許出願公開番号

(43)公開日 平成6年(1994)2月10日

技術表示箇所

3 7 1 J

(74)代理人 弁理士 青山 葆 (外1名)

1

【特許請求の範囲】

【請求項1】 メモリセルを行列状に配列してなるメモリセルアレイと、

装置外部から供給されるアドレスが変化したことを検出してアドレス遷移信号を出力するアドレス変化検出回路と、

メモリセルへの書き込み、読み出し、リフレッシュおよびビット線のプリチャージ動作を制御する、シリアルに接続された複数のタイミング発生回路と、

カウンタを有し、リフレッシュすべきメモリセルの行アドレスを指定する行アドレス信号を発生するリフレッシュ用行アドレスカウンタと、

上記アドレス遷移信号を受けて、このアドレス遷移信号を受けた時に書き込み、読み出し、リフレッシュ動作またはビット線プリチャージ動作を行っていない場合には、アドレス遷移信号を受けたタイミングで上記タイミング発生回路を起動して、遷移後のアドレスに対応したメモリセルへの書き込みまたは読み出しを行い、続いてビット線プリチャージを行い、さらに上記リフレッシュ用行アドレスカウンタで指定される行アドレスに対応したメモリセルをリフレッシュし、再びビット線をプリチャージするという一連の動作を行わせる一方、上記アドレス遷移信号を受けた時に書き込み、読み出し、リフレッシュ動作またはビット線プリチャージ動作を行っている場合には、上記一連の動作が完了した時点で上記タイミング発生回路を起動して、遷移後のアドレスに対応したメモリセルへの新たな一連の動作を行わせる起動信号を発生する動作判定タイミング起動回路と、

上記アドレス遷移信号を受けて、受けた後一定期間、新たなアドレス遷移信号を受けなかった場合、上記タイミング発生回路を起動して、上記リフレッシュ用行アドレスカウンタで指定される行アドレスに対応するメモリセルをリフレッシュし、続いてビット線プリチャージを行わせる起動信号を発生するタイマーを備えたことを特徴とするダイナミック型半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体外部からみれば完全にスタティック型半導体記憶装置として働くダイナミック型半導体記憶装置に関する。

【従来の技術】ダイナミック型半導体記憶装置は、図8に示すように、ビット線4とワード線5とが交差する箇所にメモリセル3を複数配列してなるメモリセルアレイを有するとともに、図10に示すように、上記メモリセル3への書き込み、読み出し、リフレッシュ動作およびこれらの動作に続いて行うべきプリチャージ動作を制御する複数(シリアルに接続されている)のタイミング発生回路7を有している(T1、…、TNは、書き込み、読み出しおよびリフレッシュ動作を制御する一連のタイミング信号を示し、TP1、TP2、…、TPMはプリチャージ

2

動作を制御する一連のタイミング信号を示している。

このダイナミック型半導体記憶装置は、メモリセル3をトランジスタ1とコンデンサ2との2素子で構成できるので、集積度が高いという特長がある。しかしながら、上記従来のダイナミック型半導体記憶装置では、図11に例示するように、上記タイミング発生回路7を起動するためにタイミング信号、すなわち/RAS(行アドレスストローブ)信号および/CAS(列アドレスストローブ)信号を、装置外部からわざわざ入力しなければならないという問題がある。また、端子数を減らすために、一般に同一のアドレス入力端子から時分割で行アドレスおよび列アドレスを入力するため、図9に示すように、装置を動作させるための入力波形が非常に複雑になるという問題がある。なお、/RAS信号の立ち下がり時点でアドレス端子に入力されている信号が行アドレス信号として取り込まれ、同様に、/CAS信号の立ち下がり時点でアドレス端子に入力されている信号が列アドレス信号として取り込まれる。

【0002】一方、スタティック型半導体記憶装置は、図12(a)に示すように、トランジスタQ1、…、Q6(または、同図(b)に示すように、トランジスタQ1、…、Q4と抵抗RL1、RL2)で構成されるスタティック型メモリセルを複数配列してなるメモリセルアレイを有するとともに、上記メモリセルへの書き込み、読み出し動作を制御する制御回路(図示せず)を有している。このスタティック型半導体記憶装置は、図13に示すように、装置外部からタイミング信号(/RAS信号、/CAS信号)を入力する必要がなく、非常に簡単な入力波形で動作するという特長がある。しかしながら、メモリセルがトランジスタ6個(またはトランジスタ4個と抵抗2個)で構成されるため、上記ダイナミック型半導体記憶装置に比して集積度が低いという欠点がある。

【0003】このように、従来のダイナミック型半導体記憶装置とスタティック型半導体記憶装置には、それぞれ一長一短がある。

【0004】そこで、この発明の目的は、集積度が高く、しかも非常に簡単な入力波形で動作するダイナミック型半導体記憶装置を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するために、この発明のダイナミック型半導体記憶装置は、メモリセルを行列状に配列してなるメモリセルアレイと、装置外部から供給されるアドレスが変化したことを検出してアドレス遷移信号を出力するアドレス変化検出回路と、メモリセルへの書き込み、読み出し、リフレッシュおよびビット線のプリチャージ動作を制御する、シリアルに接続された複数のタイミング発生回路と、カウンタを有し、リフレッシュすべきメモリセルの行アドレスを指定する行アドレス信号を発生するリフレッシュ用行アドレスカウンタと、上記アドレス遷移信号を受けて、こ

50

のアドレス遷移信号を受けた時に書き込み、読み出し、リフレッシュ動作またはビット線ブリチャージ動作を行っていない場合には、アドレス遷移信号を受けたタイミングで上記タイミング発生回路を起動して、遷移後のアドレスに対応したメモリセルへの書き込みまたは読み出しを行い、続いてビット線ブリチャージを行い、さらに上記リフレッシュ用行アドレスカウンタで指定される行アドレスに対応したメモリセルをリフレッシュし、再びビット線をブリチャージするという一連の動作を行わせる一方、上記アドレス遷移信号を受けた時に書き込み、読み出し、リフレッシュ動作またはビット線ブリチャージ動作を行っている場合には、上記一連の動作が完了した時点で上記タイミング発生回路を起動して、遷移後のアドレスに対応したメモリセルへの新たな一連の動作を行わせる起動信号を発生する動作判定タイミング起動回路と、上記アドレス遷移信号を受けて、受けた後一定期間、新たなアドレス遷移信号を受けなかった場合、上記タイミング発生回路を起動して、上記リフレッシュ用行アドレスカウンタで指定される行アドレスに対応するメモリセルをリフレッシュし、続いてビット線ブリチャージを行わせる起動信号を発生するタイマーを備えたことを特徴としている。

【0006】

【作用】このダイナミック型半導体記憶装置は次のように動作する。

【0007】まず、アドレス変化検出回路がアドレスの変化を検出してアドレス遷移信号を出力する。

【0008】ここで、書き込み、読み出し、リフレッシュ動作またはビット線ブリチャージ動作を行っていない場合には、動作判定／タイミング起動回路が起動信号を発生して直ちにタイミング発生回路を起動する。これにより、新しいアドレスに対応したメモリセルへの書き込みまたは読み出しが行なわれ、続いて、ビット線をブリチャージし、さらにリフレッシュ用行アドレスカウンタで指定される行アドレスに対応したメモリセルをリフレッシュし、再びビット線をブリチャージするという一連の動作が行なわれる。

【0009】上記アドレス変化検出回路がアドレス遷移信号を出力した時に、書き込み、読み出し、リフレッシュ動作またはビット線ブリチャージ動作を行っている場合には、上記一連の動作が完了した時点で、動作判定／タイミング起動回路が起動信号を発生して上記タイミング発生回路を起動する。これにより、上記一連の動作に続いて、遷移後のアドレスに対応したメモリセルへの書き込みまたは読み出しが行なわれ、続いて、ビット線をブリチャージし、さらにリフレッシュ用行アドレスカウンタで指定される行アドレスに対応したメモリセルをリフレッシュし、再びビット線をブリチャージするという新たな一連の動作が行なわれる。

【0010】上記アドレス変化検出回路がアドレス遷移

信号を出力してから一定期間、新たなアドレス遷移信号を出力しなかった場合、タイマーが起動信号を出力してタイミング発生回路を起動する。これにより、リフレッシュ用行アドレスカウンタで指定される行アドレスに対応したメモリセルをリフレッシュし、再びビット線をブリチャージするという一連の動作が行なわれる。

【0011】このように、このダイナミック型半導体記憶装置では、わざわざ行アドレスストロブ信号／RASや列アドレスストロブ信号／CASを入力しなくても、1回のアドレス遷移によって、書き込みまたは読み出し→ブリチャージ→リフレッシュ→ブリチャージという一連の動作を行う。また、アドレスが遷移しない場合には、一定期間毎に、リフレッシュ→ブリチャージという動作を行う。したがって、従来のスタティック型半導体記憶装置と同様の入力波形でもって、簡単に動作させることが可能となる。また、従来のダイナミック型半導体記憶装置と同様に、メモリセルをトランジスタ1個とキャパシタ1個とで構成できるので、集積度が高く維持される。

【0012】

【実施例】以下、この発明のダイナミック型半導体記憶装置を実施例により詳細に説明する。

【0013】図1は、この発明の一実施例のダイナミック型半導体記憶装置の概略ブロック構成を示している。このダイナミック型半導体記憶装置は、アドレス変化検出回路8と、動作判定／タイミング起動回路9と、シリアルに接続された(N+M)段のタイミング発生回路7、7、…と、タイマー10と、リフレッシュ用行アドレスカウンタ11と、スイッチ12を備えている。また、通常の機能を有する行アドレスデコーダ13および列アドレスデコーダ14と、図8に示したのと同じ構成からなるメモリセルアレイ6を備えている。

【0014】上記アドレス変化検出回路8は、外部から供給されるアドレス信号が変化した時に、パルス信号(アドレス遷移信号)ATDを出力する。

【0015】上記動作判定／タイミング起動回路9は、図2に示すように、入力パルスの立ち下がりカウンタするバイナリカウンタ15、16と、遅延回路17、…、19と、R/Sフリップフロップ20、…、22と、AND(論理積)ゲート23、…、27と、OR(論理和)ゲート28と、インバータ23、…、33と、NORゲート34からなっている。この動作判定／タイミング起動回路9は、後述するように、上記タイミング発生回路7、7…を起動する起動信号TGを適宜出力して、この装置全体の動作を制御する。

【0016】上記タイマー10は、図5(a)に示すように、複数のインバータからなるリングオシレータ35と、インバータ35'と、(L-1)段のバイナリカウンタ36、36、…と、インバータ37、…、40と、NOR(否定論理和)ゲート41と、ANDゲート42からなっ

ている。ATD信号が入力されるとバイナリカウンタ36,36,...がリセットされる。バイナリカウンタ36,36,...は、リングオシレータ35の出力を受けて、クロックとしてカウントを始める(インバータ35'と各段のバイナリカウンタ36は、信号R1,...,R1を出力する)。最終段のバイナリカウンタ36が出力する信号R1が“H”になったとき、インバータ37,...,40を介してこの信号を受けて、同図(b)に示すように、NORゲート41はパルス信号(起動信号)TG'を出力する。このTG'信号は、リフレッシュブリチャージという一連の動作を起こさせるタイミング信号として働く(後述)。なお、このタイマー10(バイナリカウンタ36,36,...)は、アドレス変化検出回路8が出力するATD信号によってリセットされる。

【0017】図1に示した個々のタイミング発生回路7,7,...は、それぞれ入力を受けてから所定の遅延時間の後に出力を発生する。これらは、シリアルに(N+M)段接続されており、初段が上記動作判定/タイミング起動回路9からTG信号を受けたとき、および、タイマー10からTG'信号を受けたとき、書き込み、読み出しおよびリフレッシュ動作を制御するためのタイミング信号T1,T2,...,TNと、ブリチャージ動作を制御するためのタイミング信号TP1,TP2,...,TPMを順次発生する。

【0018】上記リフレッシュ用行アドレスカウンタ11は、図6(a)に示すように、ORゲート43と、バイナリカウンタ44,44,...からなっている。そして、図2に示した動作判定/タイミング起動回路9内のNAND(否定論理積)ゲート25を通して得られる信号TREF1と、図5に示したタイマー10内のNANDゲート42を通して得られる信号TREF2とをカウントアップする(実質的には、リフレッシュ動作後のブリチャージタイミングTP1をカウントする)。バイナリカウンタ44,44,...は、図6(b)に示すように、それぞれカウントアップした信号ARφ,...,ARiを出力する。この出力ARφ,...,ARiは、リフレッシュ動作時に行アドレスを指定する信号である。

【0019】スイッチ12は、NORゲート45と、このNORゲート45に直列につながるインバータ46と、Pチャネル型MOSTランジスタとNチャネル型MOSTランジスタとの対47,48;49,50からなっている。上記NORゲート45は、タイマー10の出力信号R1と動作判定/タイミング起動回路9内の信号TPM'とを入力として受ける。上記各トランジスタ対47,48;49,50は、NORゲート45の出力とインバータ46の出力によってオン、オフ制御される。この結果、読み出しまたは書き込み動作時(R1=TPM'="L")は、装置外部から供給される行アドレスAφ,...,Aiを選択して出力する。一方、リフレッシュ動作時(R1またはTPM'="H")は、リフレッシュ用アド

レスカウンタ11の出力ARφ,...,ARiを選択して、行アドレスデコーダ13に出力する。

【0020】このダイナミック型半導体記憶装置は、全体として、次のように動作する。

【0021】(1)最初に、書き込み、読み出し、リフレッシュ動作またはビット線ブリチャージ動作を行っていない時、すなわち、待機状態でアドレスが遷移した場合について説明する。

【0022】①まず、図3上段に示すように、アドレス変化検出回路8がATD信号を出力する。動作判定/タイミング起動回路9は、このATD信号を受けて、タイミング発生回路7を起動するためのパルス信号TGを直ちに出力する。すなわち、ATD信号は、図2に示す遅延回路17を通してR/Sフリップフロップ20に入力される(パルス信号ATD')。ANDゲート24は、ATD信号が入力されてからR/Sフリップフロップ20が上記ATD'信号によってセット(INH="H"/INH="L")されるまでの間、Hレベルのパルス(INTATD信号)を出力する。このINTATD信号がORゲート28を通してTG信号として出力される。この結果、図1に示したタイミング発生回路7,7,...によって、図3に示すように、一連のタイミング信号T1,...,TNが発生して、新しいアドレスに対応したメモリセルへの書き込みまたは読み出し動作が行われる。続いて、一連のタイミング信号TP1,...,TPMが発生して、ブリチャージ動作が行われる。

【0023】②次に、上記動作判定/タイミング起動回路9は、図1に示した最終段のタイミング発生回路7の出力信号TPMを受取る。そして、このTPM信号を受けた時(ブリチャージ動作が終了した時)、動作判定/タイミング起動回路9は、図3に示すように、2回目のパルス信号TGを出力する。すなわち、上記TPM信号は図2に示すバイナリカウンタ15に入力され、その出力信号TPM'がHレベルになる。このHレベルのTPM'信号は、インバータ29、遅延回路(インバータ)30,...,32およびNORゲート34を通してHレベルのパルスとなる。そして、ANDゲート25とORゲート28を通してTG信号として出力される(なお、この時、R/Sフリップフロップ22の出力信号TGINT1はHレベル、R1はLレベルにある)。この結果、図1に示したタイミング発生回路7,7,...によって、図3に示すように、一連のタイミング信号T1,...,TNが発生する。この時、スイッチ10は、TPM'信号がHレベルにあるので、既に述べたように、リフレッシュ用行アドレスカウンタ11が出力している行アドレスARφ,...,ARiを選択して出力する。したがって、この行アドレス信号ARφ,...,ARiに対応したメモリセルに対してリフレッシュ動作が行われる。続いて、一連のタイミング信号TP1,...,TPMが発生して、ブリチャージ動作が行われる。

【0024】③最後に、上記動作判定／タイミング起動回路9は、図1に示した最終段のタイミング発生回路7の出力信号TPMを受ける。このTPM信号は図2に示したバイナリカウンタ15に入力される。これにより、バイナリカウンタ15の出力TPM'がLレベル、バイナリカウンタ16の出力TPM''がHレベルになる(バイナリカウンタ15,16は遅延回路18を通してリセットされるので、TPM''信号はHレベルのパルスになる。)。このTPM''信号によってR/Sフリップフロップ20がリセット(INH="L",/INH="H")される。これにより、この半導体記憶装置は元の待機状態に戻る。

【0025】(2)次に、書き込み、読み出し、リフレッシュ動作またはビット線ブリチャージ動作を行っている時(上記(1)の一連の動作中)に、さらにアドレスが遷移した場合について説明する。

【0026】この場合、図1に示したアドレス変化検出回路8は、図4上段に示すように、アドレス遷移に基づいて上記一連の動作中(この図ではブリチャージ動作中となっている)にATD信号を出力する。このATD信号は動作判定／タイミング起動回路9に入力されるが、動作判定／タイミング起動回路9は直ちにTG信号を出力せず、書き込みまたは読み出し→ブリチャージ→リフレッシュ→ブリチャージという一連の動作を行った後に、上記ATD信号に基づいてTG信号を出力する。すなわち、上記一連の動作中は図2に示したR/Sフリップフロップ20がセット(INH="H",/INH="L")されているため、たとえATD信号が入力されたとしても、ANDゲート24の出力信号INTATDがLレベルのままである。したがって、INTATD信号によっては、TG信号(NORゲート28の出力)は出力されない。しかし、上記ATD信号が入力されることによって、ANDゲート23の出力信号INHATDが一時的にHレベルになり、R/Sフリップフロップ21がセット(TGINT2="H")される。したがって、書き込みまたは読み出し→ブリチャージ→リフレッシュ→ブリチャージという一連の動作が完了して、バイナリカウンタ16の出力側にパルス信号TPM''が発生したときに、ANDゲート26の出力に基づいてTG信号が出力される。この結果、上記(1)で述べたのと全く同様に、図1に示したタイミング発生回路7,7,...によって一連のタイミング信号T1,...,TNが発生して、新たなアドレスに対応したメモリセルへの書き込みまたは読み出し動作が行われる。続いて、ブリチャージ→リフレッシュ→ブリチャージという一連の動作が行われる。

【0027】(3)装置外部から供給されるアドレスが一定期間変化しなかった場合、図1に示したタイマー10はカウントアップの結果、TG'信号を出力する。このTG'信号がタイミング発生回路7,7,...を起動する。ここで、TREF2信号がHレベルになることから、図

7に示したスイッチ12はリフレッシュ用行アドレスカウンタ11からの信号ARφ,...,ARiを選択して出力している。したがって、この行アドレスARφ,...,ARiに対応したメモリセルをリフレッシュし、再びビット線をブリチャージするという一連の動作が行われる。

【0028】このように、このダイナミック型半導体記憶装置では、わざわざ行アドレスストローブ信号/RA Sや列アドレスストローブ信号/CASを入力しなくても、1回のアドレス遷移によって、書き込みまたは読み出し→ブリチャージ→リフレッシュ→ブリチャージという一連の動作を行う。また、アドレスが遷移しない場合には、一定期間毎に、リフレッシュ→ブリチャージという動作を行う。したがって、従来のスタティック型半導体記憶装置と同様の入力波形でもって、簡単に動作させることができる。また、従来のダイナミック型半導体記憶装置と同様に、メモリセルをトランジスタ1個とキャパシタ1個とで構成できるので、集積度を高く維持することができる。

【0029】

【発明の効果】以上より明らかな様に、この発明のダイナミック型半導体記憶装置は、アドレスの変化を検知して動作に必要なタイミングを発生するとともに、リフレッシュも内部で自動で行うので、従来のスタティック型半導体記憶装置と同様の入力波形でもって簡単に動作させることができる。また、従来のダイナミック型半導体記憶装置と同様に集積度を高く維持することができる。

【図面の簡単な説明】

【図1】 この発明の一実施例のダイナミック型半導体記憶装置の概略ブロック構成を示す図である。

【図2】 上記ダイナミック型半導体記憶装置の動作判定／タイミング起動回路の構成を示す図である。

【図3】 上記ダイナミック型半導体記憶装置の動作波形を示す図である。

【図4】 上記ダイナミック型半導体記憶装置の動作波形を示す図である。

【図5】 上記ダイナミック型半導体記憶装置のタイマーの構成および動作波形を示す図である。

【図6】 上記ダイナミック型半導体記憶装置のリフレッシュ用行アドレスカウンタの構成および動作波形を示す図である。

【図7】 上記ダイナミック型半導体記憶装置のスイッチの構成を示す図である。

【図8】 従来のダイナミック型半導体記憶装置のメモリセルアレイの構成を示す図である。

【図9】 上記従来のダイナミック型半導体記憶装置の入力波形を示す図である。

【図10】 上記従来のダイナミック型半導体記憶装置のタイミング発生回路の構成を示す図である。

【図11】 上記従来のダイナミック型半導体記憶装置のタイミング発生回路の動作波形を示す図である。

【図12】 従来のスタティック型半導体記憶装置のメモリスルの構成を示す図である。

【図13】 従来のスタティック型半導体記憶装置の入力波形を示す図である。

【符号の説明】

1, 48, 50 Nチャンネルトランジスタ

49 Pチャンネルトランジスタ

2 コンデンサ

3 メモリセル

4 ビット線

5 ワード線

6 メモリセルアレイ

7 タイミング発生回路

8 アドレス変化検出回路

* 9 動作判定/タイミング起動回路

10 タイマー

11 リフレッシュ用行アドレスカウンタ

12 スイッチ

13 行アドレスデコーダ

14 列アドレスデコーダ

15, 16, 36, 44 バイナリカウンタ

17, 18, 19 遅延回路

20, 21, 22 R/Sフリップフロップ

10 23, 34, 25, 26, 27, 42 ANDゲート

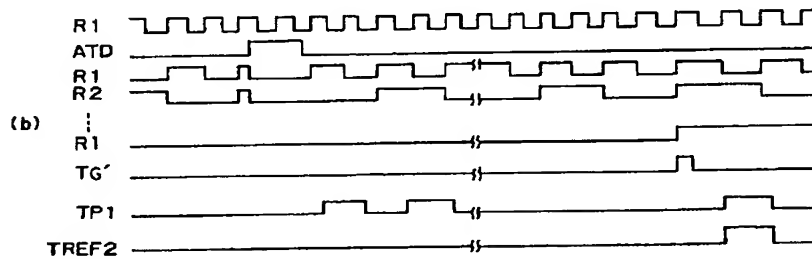
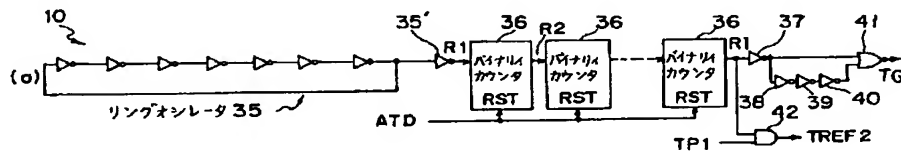
28, 43 ORゲート

29, ..., 33, 35', 37, ..., 40, 46 インバータ

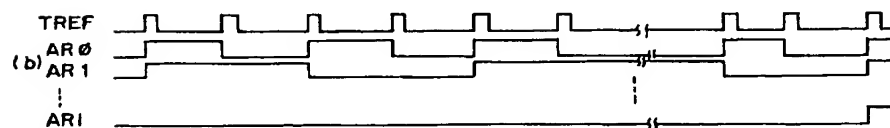
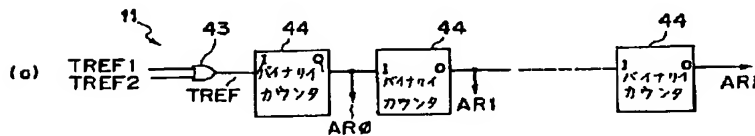
34, 41, 45 NORゲート

* 35 リングオシレータ

【図5】

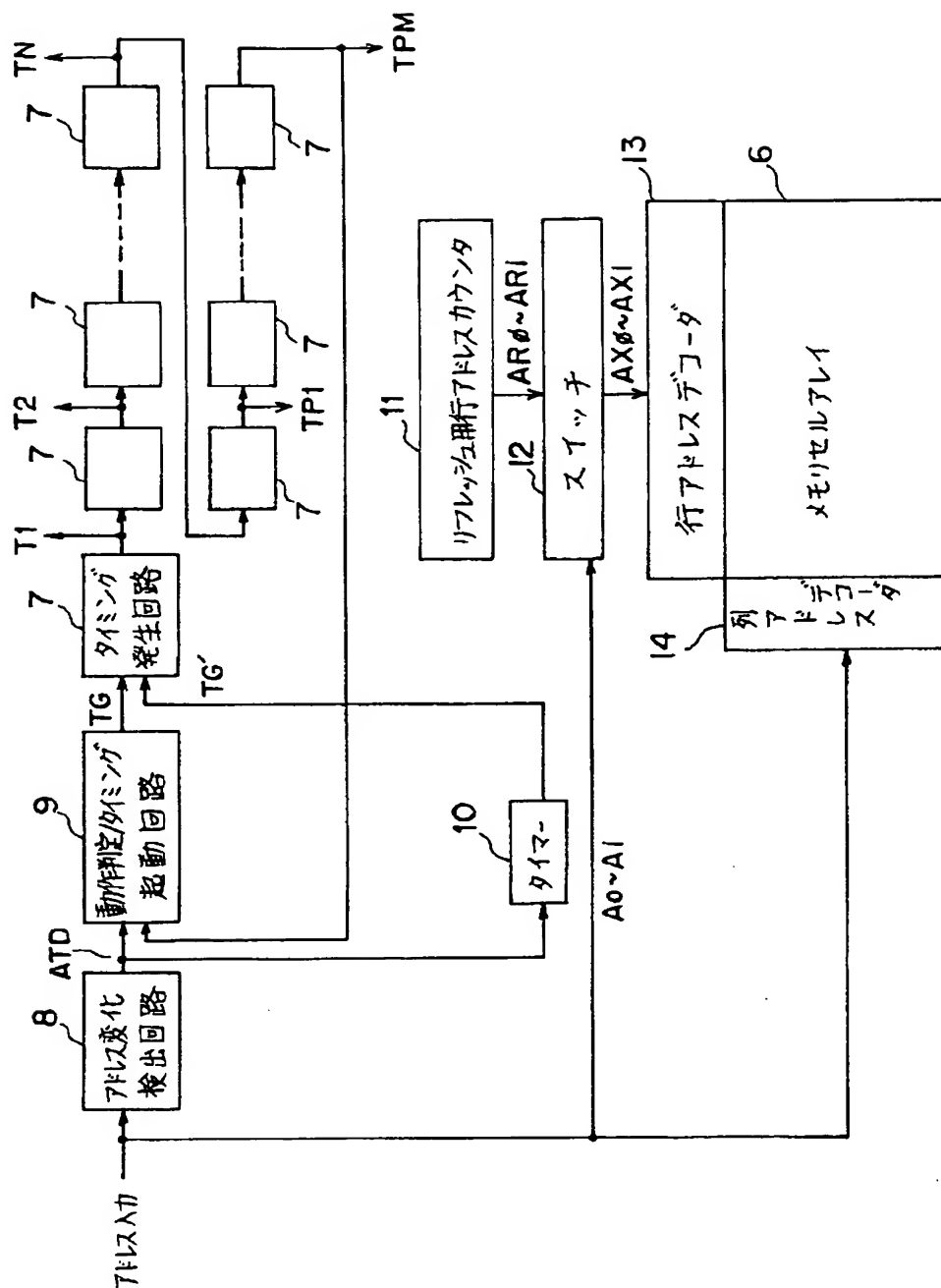


【図6】

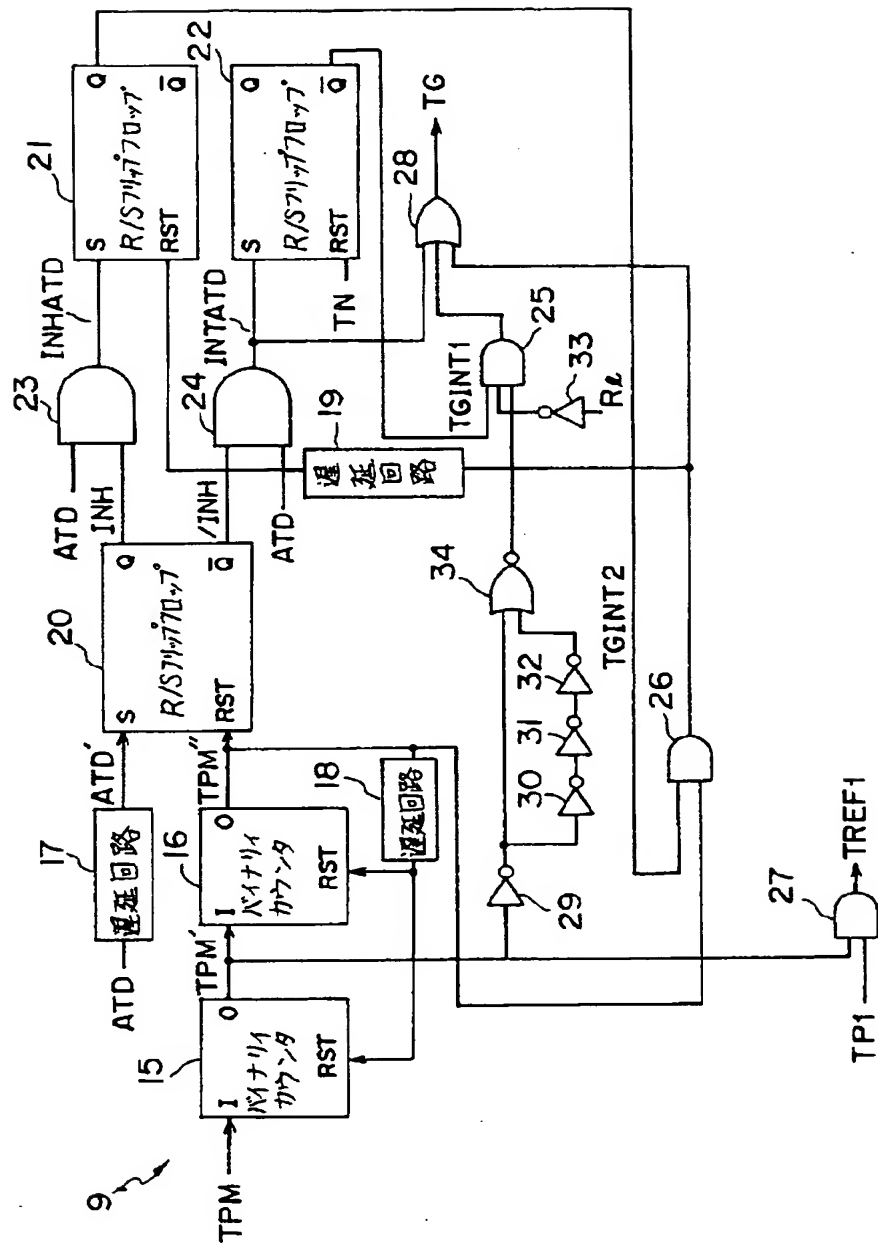


(7)

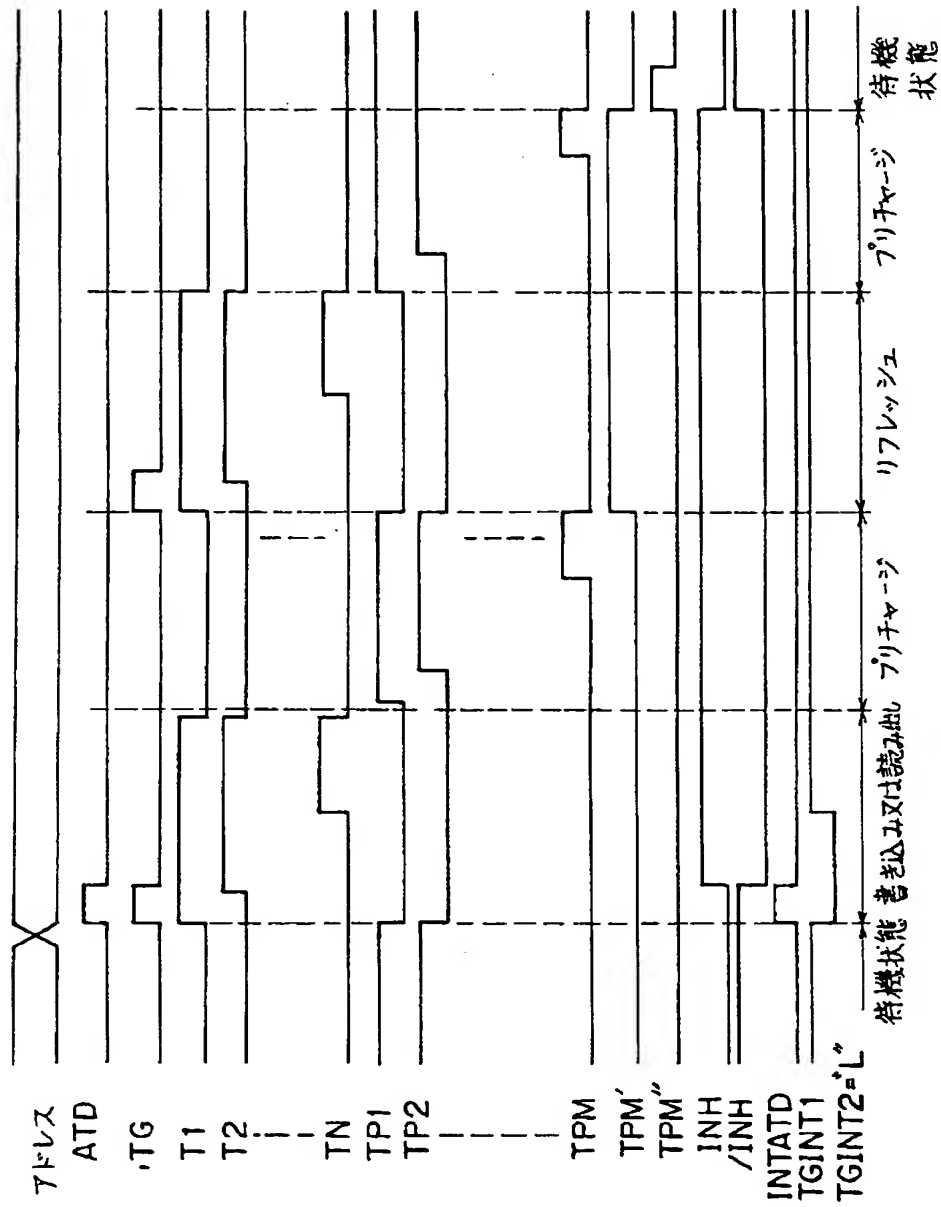
【図1】



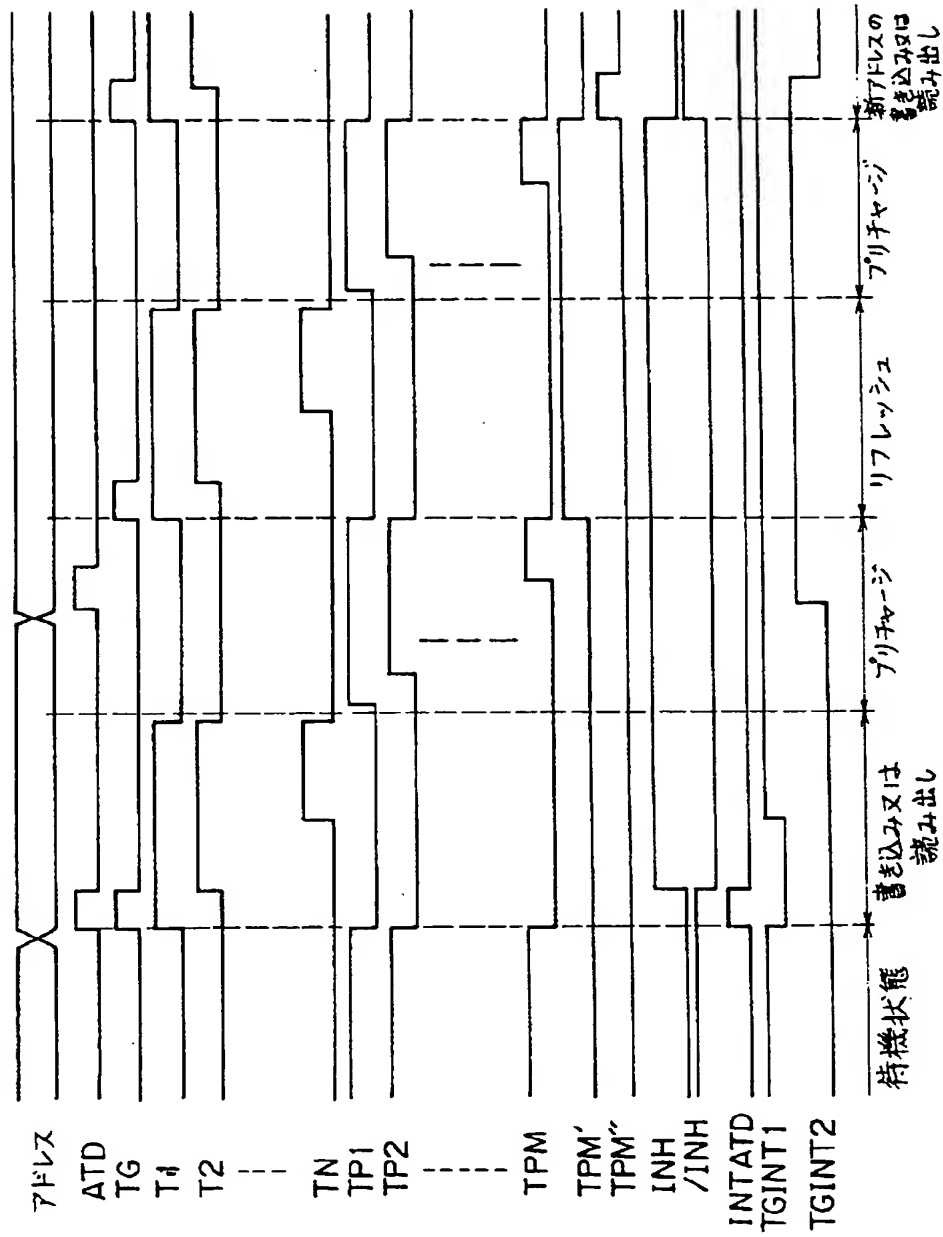
【図2】



【図3】

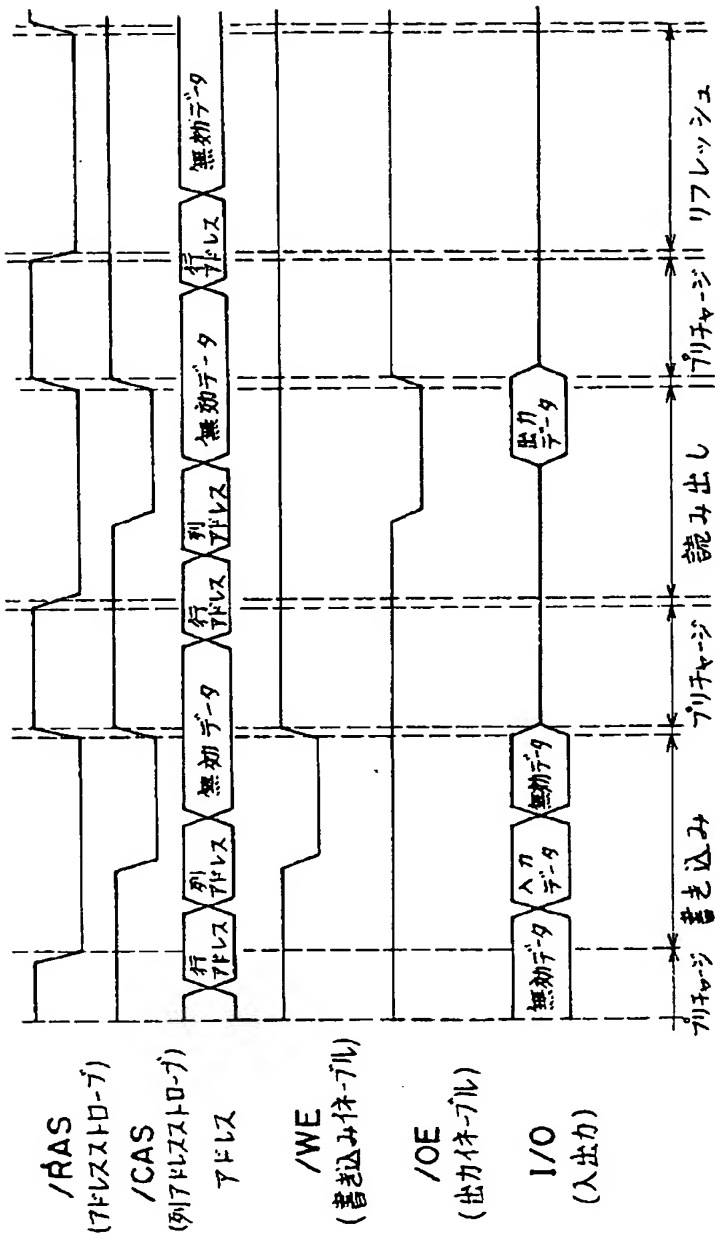


【図4】

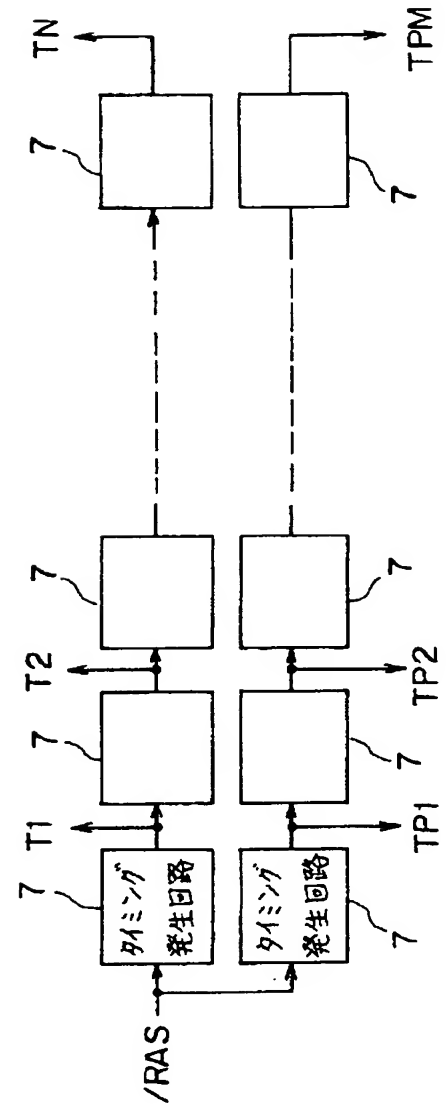


The timing diagram illustrates the sequence of events for a bus arbiter. The signals shown are $\overline{\text{RAS}}$, T1, T2, T3, ..., TN, TP1, TP2, TP3, ..., TPM. The diagram shows that $\overline{\text{RAS}}$ is active (low) during the initial phase. T1, T2, T3, ..., TN are active (low) during the initial phase. TP1, TP2, TP3, ..., TPM are active (low) during the initial phase. The diagram shows that the bus arbiter is active (low) during the initial phase. The diagram shows that the bus arbiter is active (low) during the initial phase.

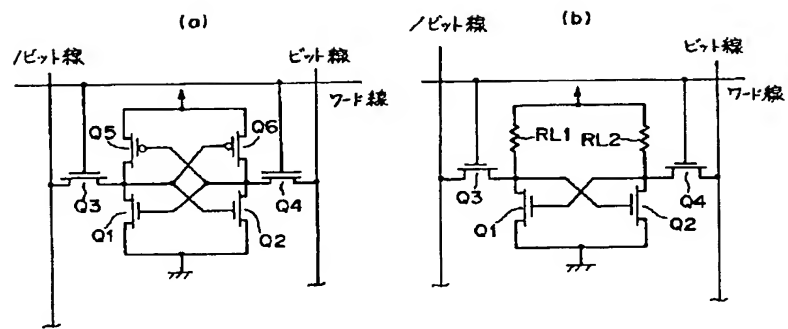
【図9】



【図10】



【図12】



【図13】

